



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:**

103 01 693.7

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

**Anmeldetag:**

17. Januar 2003

**Anmelder/Inhaber:**

Infineon Technologies AG, 81669 München/DE

**Bezeichnung:**

MOSFET-Schaltung mit reduzierten Ausgangsspannungs-Schwingungen bei einem Abschaltvorgang

**IPC:**

H 03 K 17/687

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 21. Januar 2004  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

**Klostermeyer**

# MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte: 12445

Ko/mk

Anmelderzeichen: 2002P50184 DE  
(2002 E 50183 DE)

17.01.2003

## **Infineon Technologies AG**

St.-Martin-Straße 53  
81669 München

---

**MOSFET-Schaltung mit reduzierten Ausgangsspannungs-Schwingungen  
bei einem Abschaltvorgang**

---

## Beschreibung

MOSFET-Schaltung mit reduzierten Ausgangsspannungs-  
Schwingungen bei einem Abschaltvorgang

5

Die vorliegende Erfindung betrifft eine MOSFET-Schaltung mit reduzierten Ausgangsspannungs-Schwingungen bei einem Abschaltvorgang, bei dem der durch die Schaltung fließende Strom auf Null abfällt.

10

Bei SMPS's (SMPS = Switched Mode Power Semiconductor bzw. Schaltnetzgerät) mit MOSFETs entstehen bei deren Abschalten hochfrequente Ausgangsschwingungen, welche Störungen hervorrufen und so das Störspektrum negativ beeinflussen. Dies gilt insbesondere für SMPS's, die als MOSFETs Kompensationsbauelemente, nämlich so genannte CoolMOS-FET's einsetzen.

15

20

Gegenüber SMPS's mit CoolMOS-FET's zeichnen sich entsprechende Schaltungen mit IGBT's durch ein störungsärmeres Schaltverhalten aus, bei dem wesentlich weniger hochfrequente Ausgangsschwingungen beim Abschalten entstehen.

25

30

Fig. 4 zeigt einen MOSFET T, der mit seiner Source-Gate-Strecke und einer Last L in Reihe zwischen einer Spannungsquelle +U und einem Bezugspotential liegt und an seinem Gate G angesteuert ist. Wird dieser MOSFET T in einem Zeitpunkt  $t_0$  abgeschaltet, so fällt ein Strom I durch den MOSFET steil ab, während eine Ausgangsspannung Uout plötzlich ansteigt und speziell bei einem CoolMOS-FET hochfrequente Ausgangsschwingungen zeigt, wie dies in Fig. 5 dargestellt ist.

35

Demgegenüber liefert beim Abschalten ein IGBT, der anstelle des MOSFETs T verwendet wird, einen so genannten Tailstrom Itail, der den Abfall des Stromes I nach Abschalten im Zeitpunkt  $t_0$  verzögert und so Ausgangsschwingungen der Ausgangsspannung Uout dämpft, so dass das Störspektrum im Vergleich

zu einem CoolMOS-FET weniger negativ beeinflusst wird (vgl. Fig. 6).

Aufgabe der vorliegenden Erfindung ist es, eine MOSFET-Schaltung insbesondere für ein Schaltnetzgerät zu schaffen, welche sich bei einem Abschaltvorgang durch reduzierte Ausgangsspannungs-Schwingungen auszeichnet, was auch dann gelten soll, wenn für die MOSFET-Schaltung CoolMOS-FET's eingesetzt werden.

Diese Aufgabe wird erfindungsgemäß durch eine MOSFET-Schaltung gelöst, die folgendes aufweist:

- einen ersten MOS-Transistor mit einer ersten Anzahl von Zellen,
- einen zweiten MOS-Transistor mit einer zweiten Anzahl von Zellen, wobei die zweite Anzahl kleiner als die erste Anzahl ist und der zweite MOS-Transistor mit seiner Source-Drain-Strecke parallel zur Source-Drain-Strecke des ersten MOS-Transistors zwischen einer Spannungsquelle und Bezugspotential vorgesehen ist, und
- ein Konstantspannungsglied zwischen Gate des ersten MOS-Transistors und Gate des zweiten MOS-Transistors.

Für das Konstantspannungsglied kann in vorteilhafter Weise eine Zener-Diode verwendet werden. Parallel zu dieser Zener-Diode kann ein erster Widerstand vorgesehen sein, so dass eine Parallelschaltung der Zener-Diode mit dem ersten Widerstand vorliegt.

In Reihe zu der Parallelschaltung aus dem Konstantspannungsglied bzw. der Zener-Diode und dem ersten Widerstand kann ein zweiter Widerstand angeordnet sein.

In vorteilhafter Weise können die Zener-Diode und der erste Widerstand miteinander integriert sein. Dies kann beispielsweise dadurch geschehen, dass die Zener-Diode und der erste Widerstand durch eine hochdotierte polykristalline Schicht des einen Leitungstyps und eine mit dieser in Kontakt stehende polykristalline Schicht des anderen Leitungstyps gebildet sind. Die polykristalline Schicht des anderen Leitungstyps kann dabei auf der Polysilizium-Gate-Ebene der MOSFET-Schaltung liegen.

Für den zweiten Widerstand kann ebenfalls polykristallines Silizium auf der Polysilizium-Gate-Ebene verwendet werden.

Der erste und der zweite MOS-Transistor können in vorteilhafter Weise in einen Chip bzw. Halbleiterkörper integriert sein. Für den Halbleiterkörper kann Silizium, Siliziumcarbid, Verbindungshalbleiter oder ein anderes geeignetes Halbleitermaterial herangezogen werden.

Die Dotierungskonzentration in der die Zener-Diode und den ersten Widerstand bildenden hochdotierten polykristallinen Schicht sowie in der polykristallinen Schicht des anderen Leitungstyps sollte nicht höher als  $10^{19}$  Ladungsträger  $\text{cm}^{-3}$  sein, um auf jeden Fall einen Kurzschluss zu vermeiden.

Die erfindungsgemäße MOSFET-Schaltung wird in besonders vorteilhafter Weise mit CoolMOS-FET's realisiert, da in diesen sich die Reduktion der Ausgangsspannungen besonders vorteilhaft auswirkt.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1            ein schematisches Schaltbild der erfindungsgemäßen MOSFET-Schaltung,

- Fig. 2      den Verlauf der Strom/Spannungskennlinie einer Zener-Diode bei der erfindungsgemäßen MOSFET-Schaltung,
- 5      Fig. 3      eine schematische Schnittdarstellung durch zwei Transistorzellen mit einer Realisierungsmöglichkeit für eine Zener-Diode,
- 10      Fig. 4      ein schematisches Schaltbild mit einem CoolMOS-FET,
- 15      Fig. 5      ein Diagramm zur Erläuterung des Abschaltverhaltens bei einem MOSFET und
- 20      Fig. 6      ein Diagramm zur Erläuterung des Abschaltverhaltens bei einem IGBT.

Die Fig. 4 bis 6 sind bereits eingangs erläutert worden.

- 25      In den Figuren werden für einander entsprechende Bauteile jeweils die gleichen Bezugszeichen verwendet.

Fig. 1 zeigt ein Ausführungsbeispiel der erfindungsgemäßen MOSFET-Schaltung mit einem ersten, "größeren" MOS-Transistor T1 und einem zweiten, "kleineren" MOS-Transistor T2. Unter "größer" bzw. "kleiner" ist dabei zu verstehen, dass der erste MOS-Transistor T1 mehr Zellen als der zweite MOS-Transistor T2 hat. Dabei kann der erste MOS-Transistor T1 beispielsweise um einen Faktor 10 mehr Zellen als der zweite MOS-Transistor T2 aufweisen. Es ist aber auch möglich, für diesen Faktor nur den Wert 2 oder weniger bzw. einen Wert über 10 vorzusehen. Beispielsweise kann der Transistor T1 1.000 Zellen haben. Dann kann der Transistor T2 mit etwa 100 Zellen versehen werden.

Die beiden MOS-Transistoren T1 und T2 liegen mit ihren Source-Drain-Strecken parallel zueinander zwischen einer Spannungsquelle +U und einem Bezugspotential bzw. Masse. Zwischen der Parallelschaltung der beiden Transistoren T1 und T2 und  
5 der Spannungsquelle +U kann noch eine Last L vorgesehen sein.

Ein Steueranschluss St ist mit Gate des ersten MOS-Transistors T1 verbunden und über einen Widerstand R1 und die Parallelschaltung einer Zener-Diode Z1 mit einem Widerstand R2  
10 an Gate des zweiten MOS-Transistors T2 angeschlossen. Der Widerstand R1 kann einen sehr niedrigen Widerstandswert haben und gegebenenfalls auch entfallen. Dann liegt lediglich die Parallelschaltung aus der Zener-Diode Z1 und dem Widerstand R2 zwischen dem Steueranschluss St und Gate des MOS-Transi-  
15 stors T2.

Bei den MOS-Transistoren T1 und T2 handelt es sich beispielsweise um n-Kanal-MOS-Transistoren, die insbesondere vorzugsweise in Kompensationstechnik ausgeführt sind. Es werden also  
20 in bevorzugter Weise hier CoolMOS-Transistoren eingesetzt.

Sind die beiden Transistoren T1 und T2 beide leitend, so fließt ein Strom I von der Spannungsquelle +U über die Last L und die Parallelschaltungen der beiden Transistoren T1 und T2  
25 nach Bezugspotential. Das Einschalten dieser beiden Transistoren T1 und T2 erfolgt dabei durch Anlegen eines entsprechenden Signals an den Steueranschluss St praktisch gleichzeitig.

Werden dann ~~in einem Zeitpunkt  $t_0$~~  die beiden Transistoren T1 und T2 in einem Zeitpunkt  $t_0$  abgeschaltet, so verzögert sich der Gatespannungsabfall am Transistor T2 um eine gewisse Zeitdauer bis nach dem Gatespannungsabfall am Transistor T1, da am Gate des Transistors T2 noch kurzzeitig die Zener-  
30 Spannung der Zener-Diode Z1 anliegt. Dies bedeutet, dass das Abschalten des Transistors T2 gegenüber dem Abschalten des  
35

Transistors T1 verzögert ist. Damit fließt ein "Tailstrom" noch kurzzeitig weiter, so dass für die MOSFET-Schaltung der Fig. 1 ein Abschaltverhalten entsprechend Fig. 6 für einen IGBT vorliegt.

5

Anstelle der Zener-Diode Z1 kann auch ein anderes Konstantspannungselement eingesetzt werden, sofern dieses eine Kennlinie aufweist, wie diese beispielsweise in Fig. 2 für den Strom  $i$  in Abhängigkeit von der Spannung  $u$  über der Zener-Diode Z1 dargestellt ist.

10

Die beiden Transistoren T1 und T2 werden zweckmäßigerweise in einem Halbleiterkörper bzw. auf einem Chip integriert. Dann ist es vorteilhaft, auch den Widerstand R1, den Widerstand R2 und die Zener-Diode Z1 in dem gleichen Halbleiterkörper bzw. Chip zu integrieren.

15

Ein Ausführungsbeispiel hierfür ist in Fig. 3 gezeigt. Es sei hierzu angemerkt, dass die angegebenen Leitungstypen jeweils umgekehrt sein können. Ebenso kann anstelle von Silizium, wie bereits oben erwähnt wurde, auch ein anderes geeignetes Halbleitermaterial verwendet werden.

20

In einem Siliziumkörper 1 mit einer  $n^+$ -leitenden Schicht 2 und einer  $n$ -leitenden Schicht 3 befinden sich  $p$ -leitende Bodygebiete 4, 5, in die jeweils  $n^+$ -leitende Sourcezonen 6, 7 und  $p^+$ -leitende Body-Anschlussgebiete 8, 9 eingelagert sind. Source-Metallisierungen 10, 11 aus beispielsweise Aluminium sind mit der Sourcezone 6 und über das Body-Anschlussgebiet 8 mit dem Bodygebiet 4 bzw. mit der Sourcezone 7 und über das Body-Anschlussgebiet 9 mit dem Bodygebiet 5 verbunden.

25

30

Die Metallisierungen 10, 11 befinden sich im Wesentlichen auf einer Isolierschicht 12 aus beispielsweise Siliziumdioxid, in die Gateelektroden 13 aus  $n^+$ -dotiertem polykristallinem Silizium eingelagert sind. Eine dieser Elektroden 13 kann einen

35



p<sup>+</sup>-dotierten polykristallinen Bereich 14 aufweisen, der so eine p<sup>+</sup>/n<sup>+</sup>-Diode mit zenerartigem Verhalten, also die Zener-Diode Z1 bildet. Der pn-Übergang zwischen dem Bereich 14 und dem Bereich 13 stellt dabei den Widerstand R2 dar.

5

Die durch die Bereiche 13, 14 gebildete Zener-Diode mit Widerstand R2 ist mit einer Metallisierung 15 versehen.

10

Die Metallisierungen 10, 11 sind über erste Kontaktlöcher KL1 in die Isolierschicht 12 eingebracht, während die Metallisierung 15 über zweite Kontaktlöcher KL2 in der Isolierschicht 12 zu dem Bereich 14 führt.

15

In die Schicht 3 können noch p-dotierte Kompensationsgebiete 16 eingebettet sein, die für Ladungskompensation in der Driftstrecke der Transistoren sorgen und floatend oder nicht-floatend sein können.

20

In Fig. 3 sind zwei Zellen eines Transistors T1 bzw. T2 gezeigt. Jeder dieser Transistoren kann eine Vielzahl von solchen Zellen aufweisen, wobei Zener-Dioden (vgl. Bezugszeichen 15, 14) lediglich in die Zellen des Transistors T2 eingebaut sind.

25

Da die MOS-Transistoren T1 und T2 jeweils Zellen mit gleichem Aufbau, beispielsweise entsprechend dem Schema der Fig. 3 haben, können die MOS-Transistoren T1 und T2 ohne weiteres in einen einzigen Halbleiterkörper integriert werden.

30

Der Widerstand R1 kann ohne weiteres durch polykristallines Silizium auf der Isolierschicht 11 realisiert werden.

---

Patentansprüche

1. MOSFET-Schaltung mit reduzierten Ausgangsspannungs-  
Schwingungen bei einem Abschaltvorgang, bei dem der durch die  
5 Schaltung fließende Strom auf Null abfällt, umfassend:

- einen ersten MOS-Transistor (T1) mit einer ersten Anzahl  
von Zellen,

10 - einen zweiten MOS-Transistor (T2) mit einer zweiten Anzahl  
von Zellen, wobei die zweite Anzahl kleiner als die erste  
Anzahl ist und der zweite MOS-Transistor (T2) mit seiner  
Source-Drain-Strecke parallel zur Source-Drain-Strecke des  
ersten MOS-Transistors (T1) zwischen einer Spannungsquelle  
15 (+U) und Bezugspotential vorgesehen ist, und

- ein Konstantspannungselement (Z1) zwischen Gate des ersten  
MOS-Transistors (T1) und Gate des zweiten MOS-Transistors  
(T2).

20

2. MOSFET-Schaltung nach Anspruch 1,  
dadurch gekennzeichnet,  
dass das Konstantspannungselement eine Zener-Diode (Z1) ist.

25

3. MOSFET-Schaltung nach Anspruch 1 oder 2,  
dadurch gekennzeichnet,  
dass parallel zum Konstantspannungselement (Z1) ein erster  
Widerstand (R2) vorgesehen ist.

30

4. MOSFET-Schaltung nach Anspruch 3,  
dadurch gekennzeichnet,  
dass in Reihe zur Parallelschaltung aus dem Konstantspan-  
nungselement (Z1) und dem ersten Widerstand (R2) ein zweiter  
Widerstand (R1) vorgesehen ist.

35

5. MOSFET-Schaltung nach Anspruch 2,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Zener-Diode (Z1) und der erste Widerstand (R2) mit-  
einander integriert sind.

5

6. MOSFET-Schaltung nach Anspruch 5,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Zener-Diode (Z1) und der erste Widerstand (R2) durch  
eine hochdotierte polykristalline Schicht (14) des einen  
10 Leitungstyps und eine mit dieser in Kontakt stehende polykri-  
stalline Schicht (13) des anderen Leitungstyps gebildet sind.

7. MOSFET-Schaltung nach Anspruch 6,  
d a d u r c h g e k e n n z e i c h n e t ,  
15 dass die polykristalline Schicht (13) des anderen Leitungs-  
typs auf der Polysilizium-Gate-Ebene der MOSFET-Schaltung  
gelegen ist.

8. MOSFET-Schaltung nach einem der Ansprüche 1 bis 7,  
20 d a d u r c h g e k e n n z e i c h n e t ,  
dass der erste und der zweite MOS-Transistor (T1, T2) in  
einem Halbleiterkörper (1, 2) integriert sind.

9. MOSFET-Schaltung nach Anspruch 6 oder 7,  
25 d a d u r c h g e k e n n z e i c h n e t ,  
dass die Dotierungskonzentration der hochdotierten Schicht  
(14) unterhalb  $10^{19}$  Ladungsträger  $\text{cm}^{-3}$  liegt.

10. MOSFET-Schaltung nach einem der Ansprüche 1 bis 9,  
30 d a d u r c h g e k e n n z e i c h n e t ,  
dass die MOS-Transistoren (T1, T2) Kompensationsbauelemente  
sind.

---

11. MOSFET-Schaltung nach Anspruch 10,  
d a d u r c h     g e k e n n z e i c h n e t ,  
dass floatende oder nicht-floatende Kompensationsgebiete (16)  
des einen Leitungstyps in einen Halbleiterkörper (3) des  
5    anderen Leitungstyps eingelagert sind.

---

Zusammenfassung

MOSFET-Schaltung mit reduzierten Ausgangsspannungs-  
Schwingungen bei einem Abschaltvorgang

5

Die Erfindung betrifft eine MOSFET-Schaltung mit reduzierten  
Ausgangsspannungs-Schwingungen, bei der parallel zu einem  
größeren CoolMOS-Transistor (T1) ein kleinerer CoolMOS-  
Transistor (T2) mit dessen Gate vorgeschalteter Zener-Diode  
10 (Z1) liegt, so dass bei einem Abschaltvorgang der kleinere  
Transistor (T2) nach Abschalten des größeren Transistors  
infolge der noch anliegenden Zener-Spannung einen Tail-Strom  
führt, der Ausgangsschwingungen der Spannung dämpft.

15 (Fig. 1)

---

Bezugszeichenliste

T1, T2	MOS-Transistor
R1, R2	Widerstand
Z1	Zener-Diode
St	Steueranschluss
U, u	Spannung
I, i	Strom
L	Last
Uout	Ausgangsspannung
t0	Zeitpunkt
Itail	Tail-Strom
1	Halbleiterkörper
2	Halbleiterschicht
3	Halbleiterschicht
4, 5	Bodygebiet
6, 7	Sourcezone
8, 9	Body-Anschlussgebiet
10, 11	Source-Metallisierung
12	Isolierschicht
13	Gateelektrode
14	p <sup>+</sup> -leitender Bereich
15	Metallisierung
KL1, KL2	Kontaktloch
G	Gate
T	Transistor

FIG 1

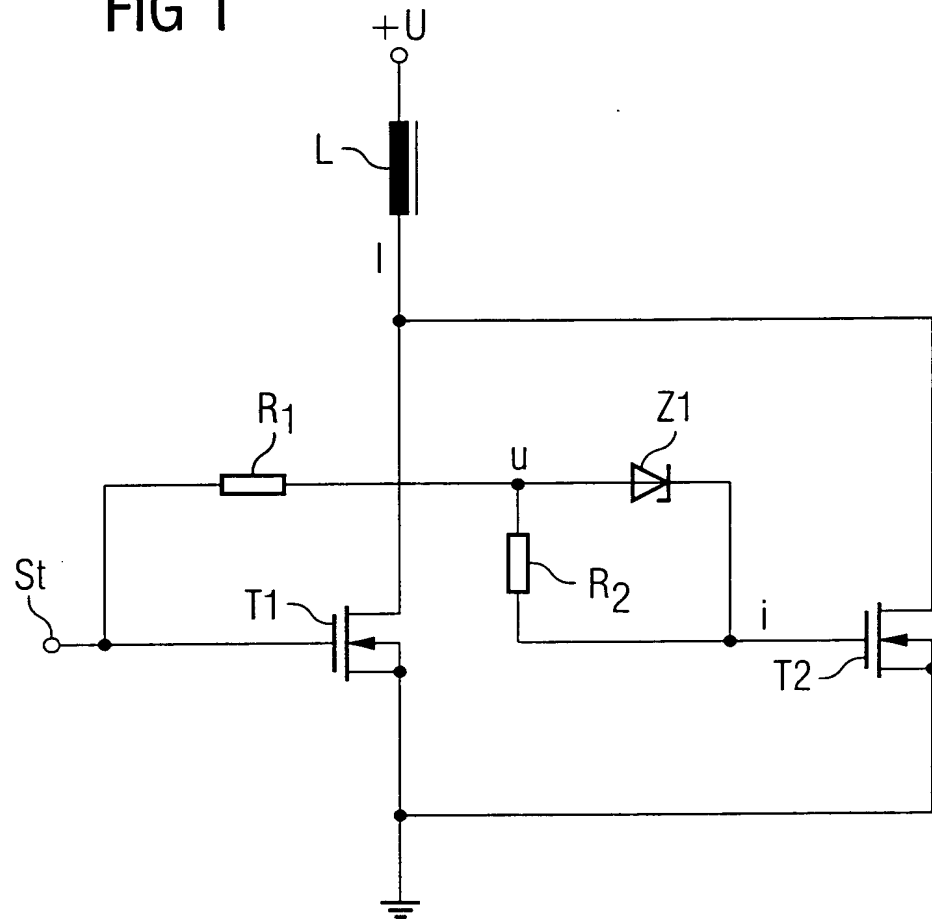
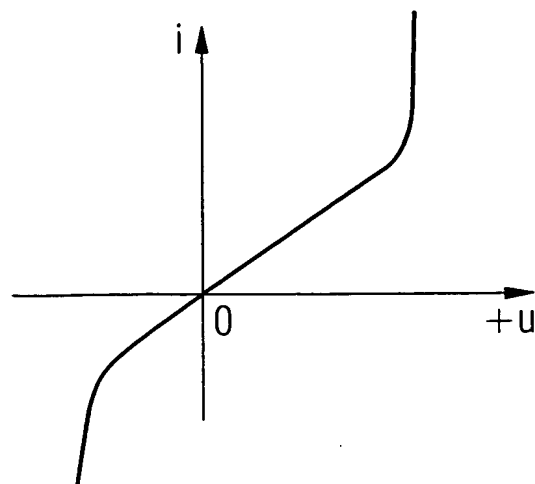


FIG 2



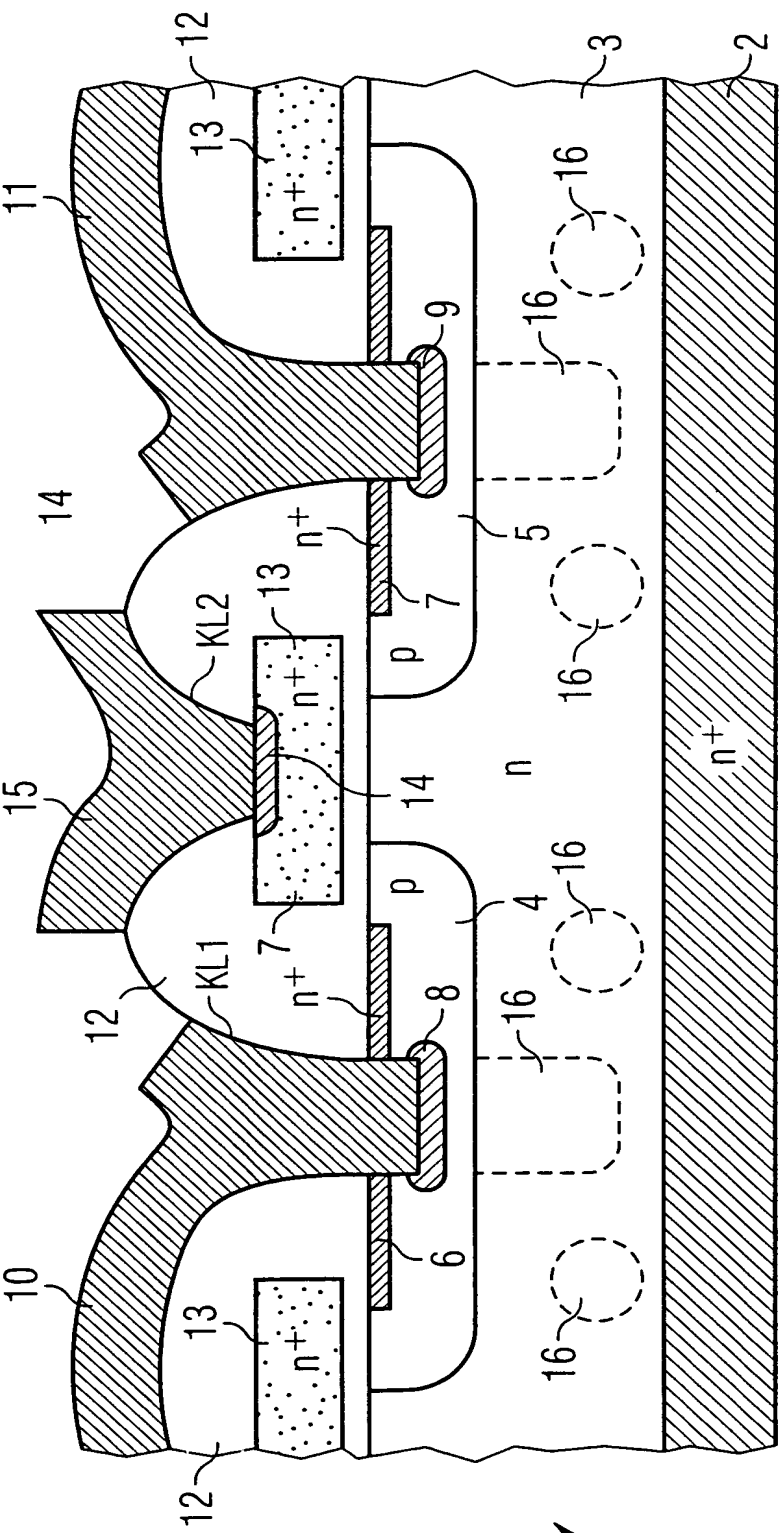


FIG 3

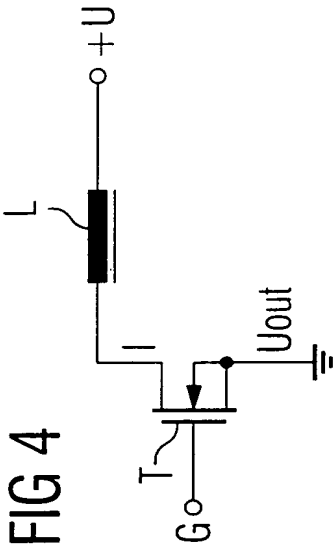


FIG 4



FIG 5

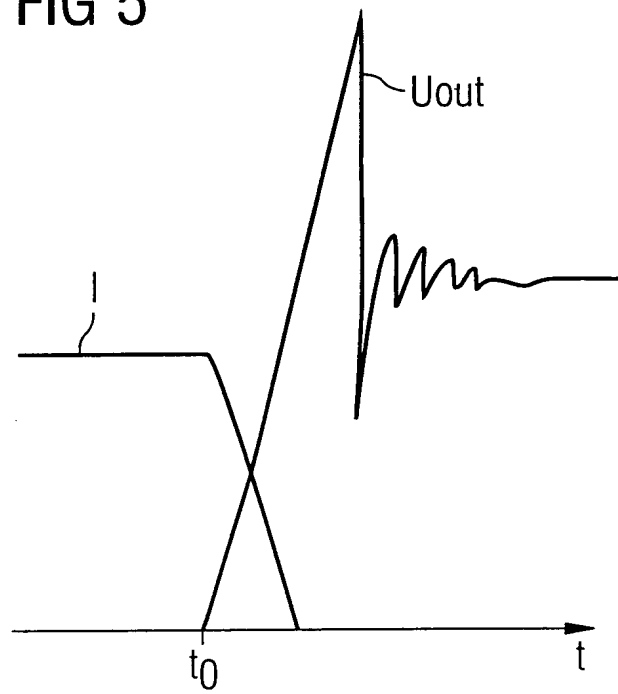
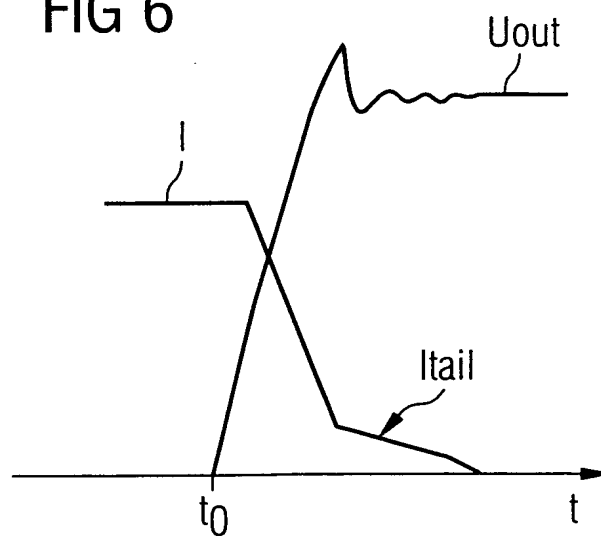


FIG 6



Figur für die Zusammenfassung

FIG 1

